

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 23 日  
Application Date

申請案號：092113958  
Application No.

申請人：統寶光電股份有限公司  
Applicant(s)

局長

Director General

蔡 練 生

發文日期：西元 2003 年 10 月 27 日  
Issue Date

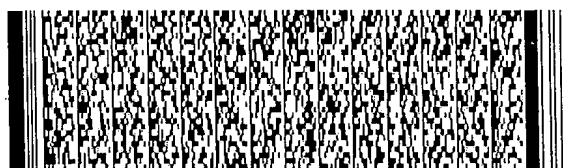
發文字號：09221089840  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	液晶顯示器之驅動電路
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 王清桐 2. 洪瑞隆
	姓 名 (英文)	1. 2.
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市新社里新民街194號9樓 2. 彰化縣芳苑鄉仁愛村中央路21號
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 統寶光電股份有限公司
	名稱或 姓 名 (英文)	1. Toppoly Optoelectronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業區苗栗縣竹南鎮仁愛路121巷5號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 陳瑞聰
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：液晶顯示器之驅動電路)

一種液晶顯示器之驅動電路，液晶顯示器之驅動電路包括有一時序控制器、一源極驅動電路以及一低色階驅動電路，應用於當液晶顯示器不需要高解析度時之驅動電路，該低色階驅動電路係由一緩衝器組以及四組電晶體組組成，以根據該時序控制器輸出之一第一、第二、第三以及一第四訊號以及該極性反轉訊號，輸出一第一、第二、第三、以及一第四類比訊號，以驅動一液晶面板。

伍、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明：

131B1第一緩衝器

131B2第二緩衝器

131B3第三緩衝

131B4第四緩衝器

132P第一 PMOS電晶體

132N第一 NMOS電晶體

133P第二 PMOS電晶體

133N第二 NMOS電晶體

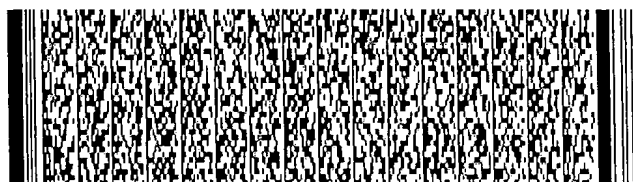
134P第三 PMOS電晶體

134N第三 NMOS電晶體

135P第四 PMOS電晶體

135N第四 NMOS電晶體

六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：液晶顯示器之驅動電路)

136A~136K 電阻

301極性反轉訊號

304A1第一訊號

304A2第二訊號

304A3第三訊號

304A4第四訊號

VDD電源電壓

VSS接地電壓

GV1第一類比訊號

GV2第二類比訊號

GV3第三類比訊號

GV4第四類比訊號

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

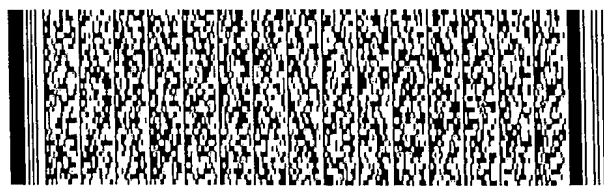
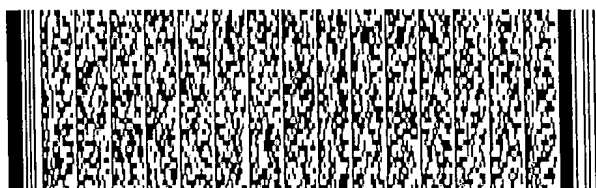
本發明係關於一種驅動電路，特別是一種應用於液晶顯示器之低色階驅動電路。

### 【先前技術】

液晶顯示器之結構組成，通常包括上下玻璃基板、ITO(Indium Tin Oxide)膜、配向膜、偏光板等。每片基板都包含電極和配向膜上形成的溝槽，上下玻璃基板配向方向互相垂直。上下基板中間放置液晶，液晶將按照溝槽方向排列。當在上下玻璃基板分別施加電場時，液晶分子排列產生變化，變成豎立狀態。當液晶分子豎立時光線無法通過，結果在顯示屏上出現黑色。液晶顯示器將根據電壓的有無變化，控制液晶分子配列方向，使面板達到顯示效果。

目前習知之液晶顯示裝置之驅動電路如第1圖所示，驅動電路100中包括有一時序控制器(timing controller)110以及一源極驅動器(source driver)120兩元件(device)，其中源極驅動器120的功能是接收來自時序控制器110輸出的數位影像訊號(TTL data)302及產生類比影像訊號(Analog signal)303，以控制液晶面板200；而時序控制器110的功能是將所接收影像資料轉成數位影像訊號302輸出，時序控制器110另輸出有控制訊號，係為一極性反轉訊號(polarity inverting signal)301，極性反轉訊號301係用以控制源極驅動器輸出的類比電壓之極性。

而在習知之設計上，源極驅動器的內部電路架構，為



## 五、發明說明 (2)

將接收到的數位資料，經由移位暫存器排列好資料後，再經由數位類比轉換器，轉換成液晶之間的電壓。

不論 8、64、或是 128 種色階的顏色顯示架構，大都採用以上所描述的驅動電路架構。以 256 種色階的設計而言，必須包含 8、64、128、256 種色階，如此一來，使得其功率消耗 (power consumption) 也相對地提昇。

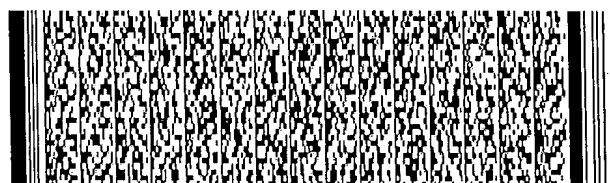
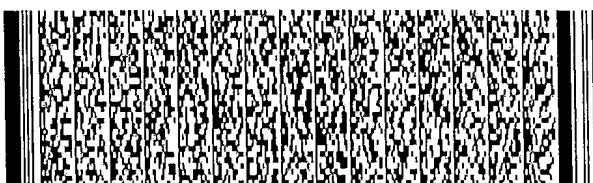
原本，色階的多寡係影響顯示效果的重要因素，但是越多的色階卻導致更多的功率消耗，對於桌上型的液晶顯示器功率消耗的多寡並非最重要的考慮因素，反而是液晶畫面的品質才是最重要的考慮因素。然而，近來隨著液晶顯示裝置廣泛地應用在諸如行動電話、個人數位助理或筆記型電腦等攜帶式資訊處理裝置上，由於這些攜帶式電子裝置的螢幕顯示區域與桌上型液晶顯示器相較少了相當多，因此液晶顯示器的功率消耗變成為最重要的考慮因素。

綜上所述，低消耗功率成為液晶顯示裝置設計時亟待解決的技術課題。

### 【發明內容】

鑒於以上的問題，本發明的主要目的在於提供一種液晶顯示器之低色階驅動電路，使得液晶顯示器在不需要多色階顯示時，可以以較低功率的方式以及電路驅動，減少功率的消耗，藉以解決習知驅動電路消耗功率過多的問題及瓶頸。

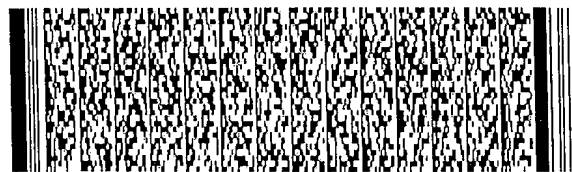
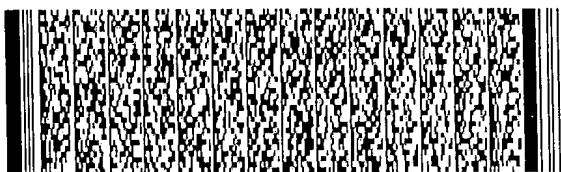
因此，為達上述目的，本發明所揭露之液晶顯示器之



### 五、發明說明 (3)

低色階驅動電路，該液晶顯示器之驅動電路包括有一時序控制器以及一源極驅動器，其中該時序控制器係用以接收一影像資料並轉換成一數位影像訊號輸出，該時序控制器並輸出有一極性反轉訊號，該源極驅動器用以接收該數位影像訊號並產生一類比影像訊號，該低色階驅動電路係根據該時序控制器輸出之一第一、第二、第三以及一第四訊號以及該極性反轉訊號，輸出一第一、第二、第三、以及一第四類比訊號，該低色階驅動電路包括有一緩衝器組以及四組電晶體組，其中該緩衝器組包括有一第一緩衝器、一第二緩衝器、一第三緩衝器以及一第四緩衝器，其中每一緩衝器具有一第一輸入端與一第二輸入端以及一輸出端，每一緩衝器之第一輸入端用以輸入一極性反轉信號，該第一緩衝器之第二輸入端用以輸入一第一訊號，該第二緩衝器之第二輸入端用以輸入一第二訊號，該第三緩衝器之第二輸入端用以輸入一第三訊號，該第四緩衝器之第二輸入端用以輸入一第四訊號；四組電晶體組共有八個電晶體，分別第一 PMOS 電晶體、第一 NMOS 電晶體、第二 PMOS 電晶體、第二 NMOS 電晶體、第三 PMOS 電晶體、第三 NMOS 電晶體、第四 PMOS 電晶體以及第四 NMOS 電晶體。

根據本發明所揭露的低色階驅動電路，能兼顧 8、64 種色階的顯示品質且降低其消耗功率。本發明所揭露的低色階驅動電路架構，與習知之架構相較，當液晶顯示器處於不需顯示 256 顏色或更高解析度時，即可節省原本不需要浪費之放大器，以及電路內部之數位轉類比電路





#### 五、發明說明 (4)

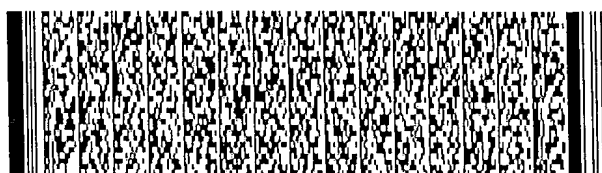
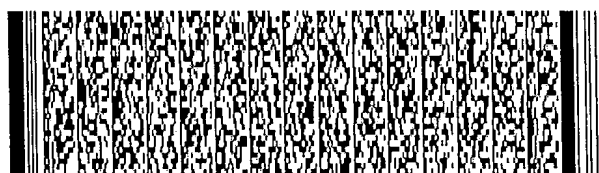
(DAC)，相對的時序控制器 (Timing controller) 亦只需 4 個資料控制訊號即可控制 64 色階的顏色，遠比傳統數位訊號 (TTL signal) 節省許多控制訊號接腳。

有關本發明的特徵與實作，茲配合圖示作最佳實施例詳細說明如下。

#### 【實施方式】

本發明所揭露的驅動電路應用於液晶顯示器之電路方塊圖如『第 2 圖』所示，該液晶顯示器之驅動電路 100 包括有一時序控制器 110、一源極驅動器 120 以及一低色階驅動電路 130，其中該時序控制器 110 係用以接收一影像資料並轉換成一數位影像訊號輸出，該時序控制 110 器並輸出一極性反轉訊號，該源極驅動器 120 用以接收該數位影像訊號並產生一類比影像訊號，源極驅動器 120 的內部系統架構圖如『第 3 圖』所示，包括有一第一暫存器 121、一第二暫存器 122、一數位類比轉換器 123、以及一輸出電路 124，其中第一暫存器 121 係為一位移暫存器 (Shifter Register)，為一種資料控制單元，第二暫存器 122 係為一載入暫存器 (Load Register)。當一輸入訊號 401 經過第一暫存器 121 後，其輸出訊號 402 輸入至第二暫存器 122，並將輸出訊號 403 輸出至數位類比轉換器 123。數位類比轉換器 123 根據第二暫存器 122 所輸出的訊號輸出一類比訊號 404，再經過輸出電路 124 處理後輸出控制訊號 405。

由『第 3 圖』可知道的液晶顯示裝置上源極驅動器 120



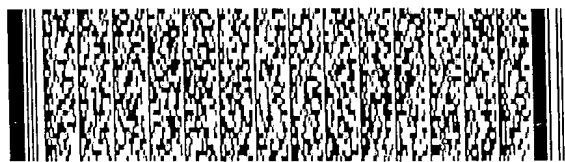
#### 五、發明說明 (5)

內部的數位類比轉換器 123 的參考電壓是極性反轉信號 301 以決定參考第一調整電壓 406 或第二調整電壓 407，輸出訊號即依據此電壓值，決定液晶穿透率，再經由濾光片即可定義所見到的顏色。

本發明揭露的低色階驅動電路，其電路方塊圖請參考『第 4 圖』，該低色階驅動電路 130 係根據該時序控制器 110 輸出之一第一訊號 304A1、第二訊號 304A2、第三訊號 304A3 及一第四訊號 304A4 以及該極性反轉訊號 301，輸出一第一類比訊號 GV1、第二類比訊號 GV2、第三類比訊號 GV3、以及一第四類比訊號 GV4，該低色階驅動電路 130 包括有一緩衝器組以及一第一電晶體組、一第二電晶體組、一第三電晶體組以及一第四電晶體組。

緩衝器組包括有一第一緩衝器 131B1、一第二緩衝器 131B2、一第三緩衝器 131B3 以及一第四緩衝器 131B4，其中每一緩衝器具有一第一輸入端與一第二輸入端以及一輸出端，每一緩衝器之第一輸入端用以輸入一極性反轉信號，該第一緩衝器 131B1 之第二輸入端用以輸入一第一訊號 304A1，該第二緩衝器 131B2 之第二輸入端用以輸入一第二訊號 304A2，該第三緩衝器 131B3 之第二輸入端用以輸入一第三訊號 304A3，該第四緩衝器 131B4 之第二輸入端用以輸入一第四訊號 304A4。

第一電晶體組，包括有一第一 PMOS 電晶體 132P 以及一第一 NMOS 電晶體 132N，該第一 PMOS 電晶體 132P 之閘極與該第一 NMOS 電晶體 132N 之閘極耦接至該第一緩衝器 131B1 之



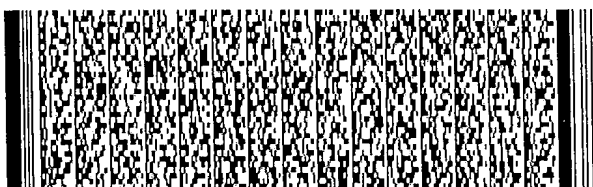
##### 五、發明說明 (6)

輸出端，該第一 PMOS電晶體 132P之源極與該第一 NMOS電晶體 132N之汲極相耦接，該第一 PMOS電晶體 132P之汲極耦接至一電源電壓 VDD，該第一 NMOS電晶體 132N之源極耦接至一接地電壓 VSS，該第一類比訊號 GV1係自該第一 PMOS電晶體 132P之源極與該第一 NMOS電晶體 132N之汲極間輸出。

第二電晶體組，包括有一第二 PMOS電晶體 133P以及一第二 NMOS電晶體 133N，該第二 PMOS電晶體 133P之閘極與該第二 NMOS電晶體 133N之閘極耦接至該第二緩衝器 131B2之輸出端，該第二 PMOS電晶體 133P之源極與該第二 NMOS電晶體 133N之汲極相耦接，該第二 PMOS電晶體 133P之汲極耦接至一電源電壓 VDD，該第二 NMOS電晶體 133N之源極耦接至一接地電壓 VSS，該第二類比訊號 GV2係自該第二 PMOS電晶體 133P之源極與該第二 NMOS電晶體 133N之汲極間輸出。

第三電晶體組，包括有一第三 PMOS電晶體 134P以及一第三 NMOS電晶體 134N，該第三 PMOS電晶體 134P之閘極與該第三 NMOS電晶體 134N之閘極耦接至該第三緩衝器 131B3之輸出端，該第三 PMOS電晶體 134P之源極與該第三 NMOS電晶體 134N之汲極相耦接，該第三 PMOS電晶體 134P之汲極耦接至一電源電壓 VDD，該第三 NMOS電晶體 134N之源極耦接至一接地電壓 VSS，該第三類比訊號 GV3係自該第三 PMOS電晶體 134P之源極與該第三 NMOS電晶體 134N之汲極間輸出。

第四電晶體組，包括有一第四 PMOS電晶體 135P以及一第四 NMOS電晶體 135N，該第四 PMOS電晶體 135P之閘極與該第四 NMOS電晶體 135N之閘極耦接至該第四緩衝器 131B1之

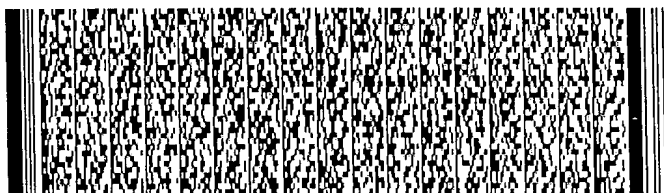


#### 五、發明說明 (7)

輸出端，該第四 PMOS 電晶體 135P 之源極與該第四 NMOS 電晶體 135N 之汲極相耦接，該第四 PMOS 電晶體 135P 之汲極耦接至一電源電壓 VDD，該第四 NMOS 電晶體 135N 之源極耦接至一接地電壓 VSS，該第四類比訊號 GV4 係自該第四 PMOS 電晶體 135P 之源極與該第四 NMOS 電晶體 135N 之汲極間輸出。

此外，其中該第一 PMOS 電晶體 132P 之汲極與該第一 NMOS 電晶體 132N 之源極間更串聯有三個電阻 136A、136B、136C。該第一 PMOS 電晶體 132P 之汲極與該第二 PMOS 電晶體 133P 之汲極間更耦接有一電阻 136D。該第二 PMOS 電晶體 133P 之汲極與該第三 PMOS 電晶體 134P 之汲極間更耦接有一電阻 136E。該第三 PMOS 電晶體 134P 之汲極與該第四 PMOS 電晶體 135P 之汲極間更耦接有一電阻 136F。該第四 PMOS 電晶體 135P 與該電源電壓 VDD 間更耦接有一電阻 136G。該第一 NMOS 電晶體 132N 之源極與該第二 NMOS 電晶體 133N 之源極間更耦接有一電阻 136H。該第二 NMOS 電晶體 133N 之源極與該第三 NMOS 電晶體 134N 之源極間更耦接有一電阻 136I。該第三 NMOS 電晶體 134N 之源極與該第四 NMOS 電晶體 135N 之源極間更耦接有一電阻 136J。該第四 NMOS 電晶體 135N 源極與該接地電壓 VSS 間更耦接有一電阻 136K。

極性反轉訊號 301 可控制電壓相對於 Vcom 電壓的極性，由第一訊號 304A1、第二訊號 304A2、第三訊號 304A3 以及第四訊號 304A4 即可決定源極驅動器 120 輸出第一類比訊號 GV1、第二類比訊號 GV2、第三類比訊號 GV3、以及第四類比訊號 GV4。因此紅、綠、藍三種顏色，每一種顏色

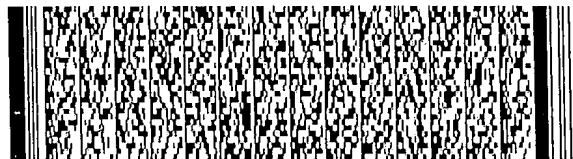


##### 五、發明說明 (8)

有 4 位元可以定義，包含  $4 \times 4 \times 4 = 64$  位元，更可涵蓋 8 色階之顏色。然而，一個原色並不一定要以四個訊號來控制，而僅需要一個訊號即可控制即可，因此可是實際的解析度需要，選擇符合需求的訊號數即可。

本發明所揭露驅動電路架構，與習知之架構相較，當液晶顯示器處於不需顯示 256 顏色或更高解析度時，即可節省原本不需要浪費之放大器，以及電路內部之數位轉類比電路 (DAC)，相對的時序控制器 (Timing controller) 亦只需 4 個資料控制訊號即可控制 64 色階的顏色，遠比傳統數位訊號 (TTL signal) 節省許多控制訊號接腳。

雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習相像技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之專利保護範圍須視本說明書所附之申請專利範圍所界定者為準。



圖式簡單說明

第 1圖，係為習知液晶顯示器之驅動電路方塊圖；

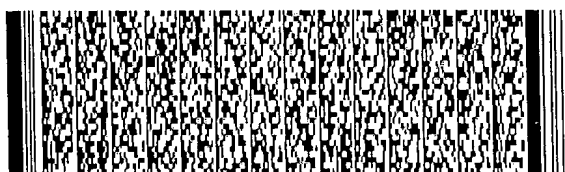
第 2圖，係為本發明所揭露之液晶顯示器之驅動電路方塊圖；

第 3圖，係為液晶顯示器驅動電路中之源極驅動器之功能方塊圖；以及

第 4圖，係為本發明所揭露之液晶顯示器之驅動電路中之低色階驅動電路方塊圖。

【圖式符號說明】

100	驅動電路
110	時序控制器
120	源極驅動電路
121	第一暫存器
122	第二暫存器
123	類比數位轉換器
124	輸出電路
200	液晶顯示面板
130	低色階驅動電路
131B1	第一緩衝器
131B2	第二緩衝器
131B3	第三緩衝器
131B4	第四緩衝器
132P	第一 PMOS電晶體
132N	第一 NMOS電晶體
133P	第二 PMOS電晶體



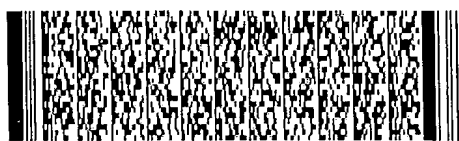
圖式簡單說明

133N	第二 NMOS電 晶 體
134P	第三 PMOS電 晶 體
134N	第三 NMOS電 晶 體
135P	第四 PMOS電 晶 體
135N	第四 NMOS電 晶 體
136A	電 阻
136B	電 阻
136C	電 阻
136D	電 阻
136E	電 阻
136F	電 阻
136G	電 阻
136H	電 阻
136I	電 阻
136J	電 阻
136K	電 阻
301	極 性 反 轉 訊 號
302	數 位 影 像 訊 號
303	類 比 影 像 訊 號
304A1	第 一 訊 號
304A2	第 二 訊 號
304A3	第 三 訊 號
304A4	第 四 訊 號
305	類 比 訊 號



圖式簡單說明

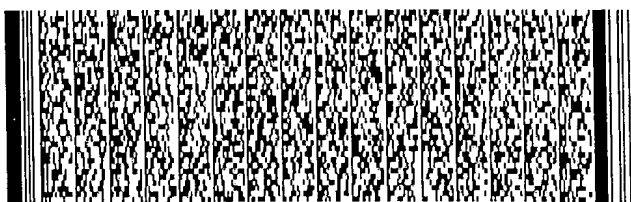
401	輸入訊號
402	輸出訊號
403	輸出訊號
404	類比訊號
405	控制訊號
406	第一調整電壓
407	第二調整電壓
VDD	電源電壓
VSS	接地電壓
GV1	第一類比訊號
GV2	第二類比訊號
GV3	第三類比訊號
GV4	第四類比訊號





#### 六、申請專利範圍

1. 一種液晶顯示器之驅動電路，該液晶顯示器之驅動電路包括有一時序控制器、一源極驅動器以及一低色階驅動電路，該時序控制器輸出有一極性反轉訊號，該低色階驅動電路係根據該時序控制器輸出之至少一訊號以及該極性反轉訊號，相對應輸出至少一類比訊號，該低色階驅動電路包括有：  
至少一緩衝器，用以輸入該極性反轉訊號以及該至少一訊號；以及  
至少一個電晶體組，該電晶體組分別耦接至該緩衝器組之輸出端，以輸出該類比訊號。
2. 如申請專利範圍第1項所述之液晶顯示器之驅動電路，其中該電晶體組，包括一PMOS電晶體以及一NMOS電晶體，該PMOS電晶體之閘極與該NMOS電晶體之閘極耦接至該緩衝器之輸出端，該PMOS電晶體之源極與該NMOS電晶體之汲極相耦接，該PMOS電晶體之汲極耦接至一電源電壓，該NMOS電晶體之源極耦接至一接地電壓，該類比訊號係自該PMOS電晶體之源極與該NMOS電晶體之汲極間輸出。
3. 一種液晶顯示器之驅動電路，該液晶顯示器之驅動電路包括有一時序控制器、一源極驅動器以及一低色階驅動電路，該時序控制器輸出有一極性反轉訊號，該低色階驅動電路係根據該時序控制器輸出之一第一訊號、第二訊號、第三訊號以及一第四訊號以及該極性反轉訊號，輸出一第一類比訊號、第二類比訊號、第三類比訊號、



#### 六、申請專利範圍

以及一第四類比訊號，該低色階驅動電路包括有：

一緩衝器組，用以輸入該極性反轉訊號以及該第一、該第二、該第三以及該第四訊號；以及

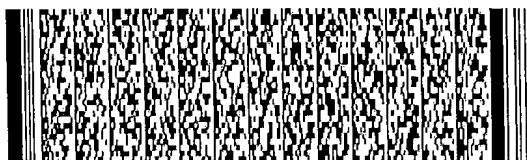
複數個電晶體組，每一電晶體組分別耦接至該緩衝器組之輸出端，以輸出該第一類比訊號、該第二類比訊號、該第三類比訊號、以及該第四類比訊號。

4.如申請專利範圍第3項所述之液晶顯示器之驅動電路，

其中該一緩衝器組包括有：一第一緩衝器、一第二緩衝器、一第三緩衝器以及一第四緩衝器，其中每一緩衝器具有一第一輸入端與一第二輸入端以及一輸出端，每一緩衝器之第一輸入端用以輸入一極性反轉信號，該第一緩衝器之第二輸入端用以輸入該第一訊號，該第二緩衝器之第二輸入端用以輸入該第二訊號，該第三緩衝器之第二輸入端用以輸入該第三訊號，該第四緩衝器之第二輸入端用以輸入該第四訊號。

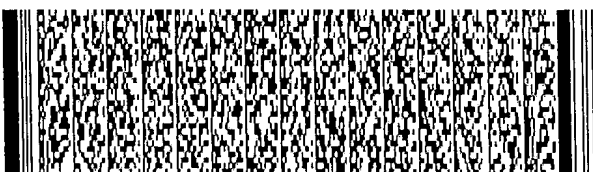
5.如申請專利範圍第3項所述之液晶顯示器之驅動電路，

其中該第一電晶體組，包括有一第一PMOS電晶體以及一第一NMOS電晶體，該第一PMOS電晶體之閘極與該第一NMOS電晶體之閘極耦接至該第一緩衝器之輸出端，該第一PMOS電晶體之源極與該第一NMOS電晶體之汲極相耦接，該第一PMOS電晶體之汲極耦接至一電源電壓，該第一NMOS電晶體之源極耦接至一接地電壓，該第一類比訊號係自該第一PMOS電晶體之源極與該第一NMOS電晶體之汲極間輸出。



六、申請專利範圍

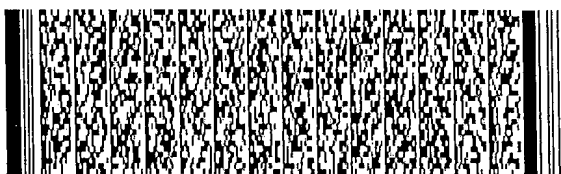
6. 如申請專利範圍第3項所述之液晶顯示器之驅動電路，其中該第二電晶體組，包括有一第二PMOS電晶體以及一第二NMOS電晶體，該第二PMOS電晶體之閘極與該第二NMOS電晶體之閘極耦接至該第二緩衝器之輸出端，該第二PMOS電晶體之源極與該第二NMOS電晶體之汲極相耦接，該第二PMOS電晶體之汲極耦接至一電源電壓，該第二NMOS電晶體之源極耦接至一接地電壓，該第二類比訊號係自該第二PMOS電晶體之源極與該第二NMOS電晶體之汲極間輸出。
7. 如申請專利範圍第3項所述之液晶顯示器之驅動電路，其中該第三電晶體組，包括有一第三PMOS電晶體以及一第三NMOS電晶體，該第三PMOS電晶體之閘極與該第三NMOS電晶體之閘極耦接至該第三緩衝器之輸出端，該第三PMOS電晶體之源極與該第三NMOS電晶體之汲極相耦接，該第三PMOS電晶體之汲極耦接至一電源電壓，該第三NMOS電晶體之源極耦接至一接地電壓，該第三類比訊號係自該第三PMOS電晶體之源極與該第三NMOS電晶體之汲極間輸出。
8. 如申請專利範圍第3項所述之液晶顯示器之驅動電路，其中該第四電晶體組，包括有一第四PMOS電晶體以及一第四NMOS電晶體，該第四PMOS電晶體之閘極與該第四NMOS電晶體之閘極耦接至該第四緩衝器之輸出端，該第四PMOS電晶體之源極與該第四NMOS電晶體之汲極相耦接，該第四PMOS電晶體之汲極耦接至一電源電壓，該第



六、申請專利範圍

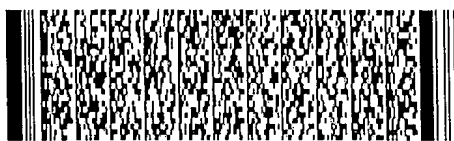
四 NMOS電晶體之源極耦接至一接地電壓，該第四類比訊號係自該第四 PMOS電晶體之源極與該第四 NMOS電晶體之汲極間輸出。

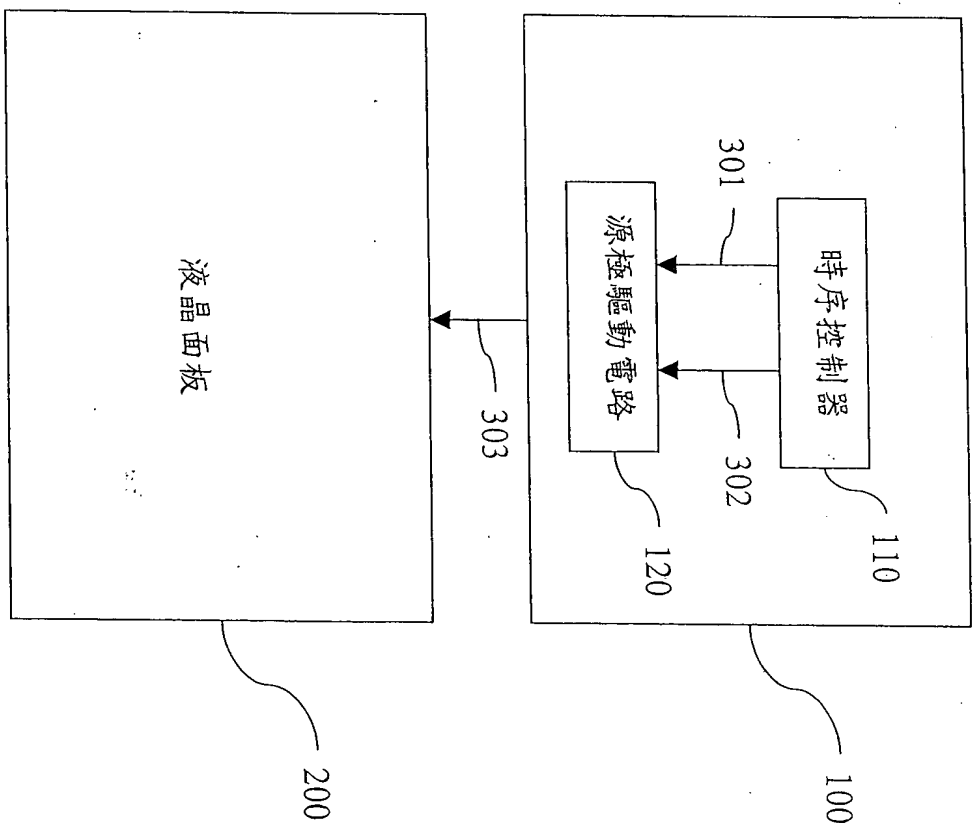
9. 如申請專利範圍第 5 項所述之液晶顯示器之驅動電路，其中該第一 PMOS電晶體之汲極與該第一 NMOS電晶體之源極間更串聯有三個電阻。
10. 如申請專利範圍第 5 項或第 6 項所述之液晶顯示器之驅動電路，其中該第一 PMOS電晶體之汲極與該第二 PMOS電晶體之汲極間更耦接有一電阻。
11. 如申請專利範圍第 5 項或第 6 項所述之液晶顯示器之驅動電路，其中該第一 NMOS電晶體之源極與該第二 NMOS電晶體之源極間更耦接有一電阻。
12. 如申請專利範圍第 6 項或第 7 項所述之液晶顯示器之驅動電路，其中該第二 PMOS電晶體之汲極與該第三 PMOS電晶體之汲極間更耦接有一電阻。
13. 如申請專利範圍第 6 項或第 7 項所述之液晶顯示器之驅動電路，其中該第二 NMOS電晶體之源極與該第三 NMOS電晶體之源極間更耦接有一電阻。
14. 如申請專利範圍第 7 項或第 8 項所述之液晶顯示器之驅動電路，其中該第三 PMOS電晶體之汲極與該第四 PMOS電晶體之汲極間更耦接有一電阻。
15. 如申請專利範圍第 7 項或第 8 項所述之液晶顯示器之驅動電路，其中該第三 NMOS電晶體之源極與該第四 NMOS電晶體之源極間更耦接有一電阻。



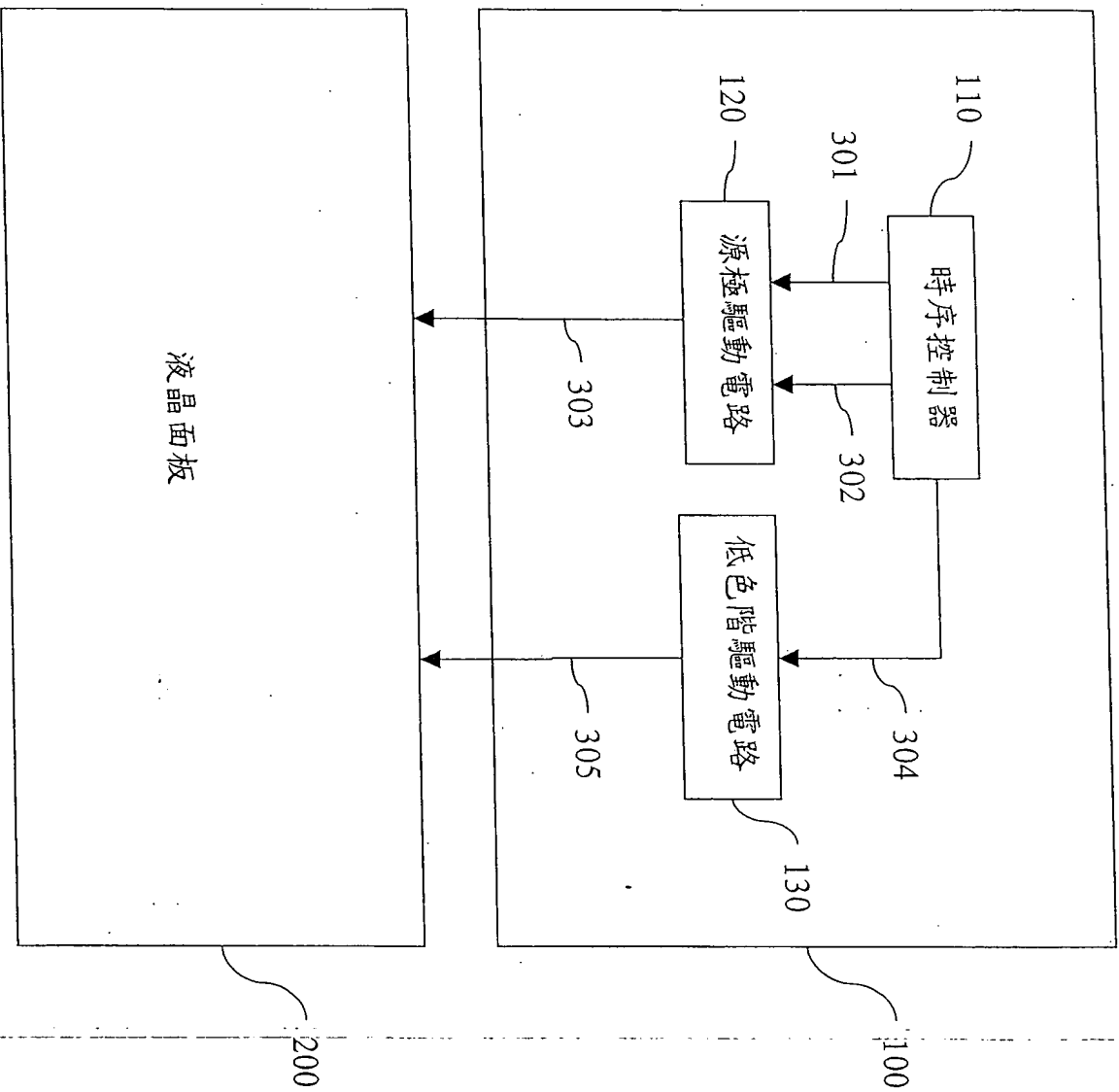
六、申請專利範圍

- 16.如申請專利範圍第8項所述之液晶顯示器之驅動電路，  
其中該第四 PMOS電晶體與該電源電壓間更耦接有一電阻。
- 17.如申請專利範圍第8項所述之液晶顯示器之驅動電路，  
其中該第四 NMOS電晶體源極與該接地電壓間更耦接有一電阻。

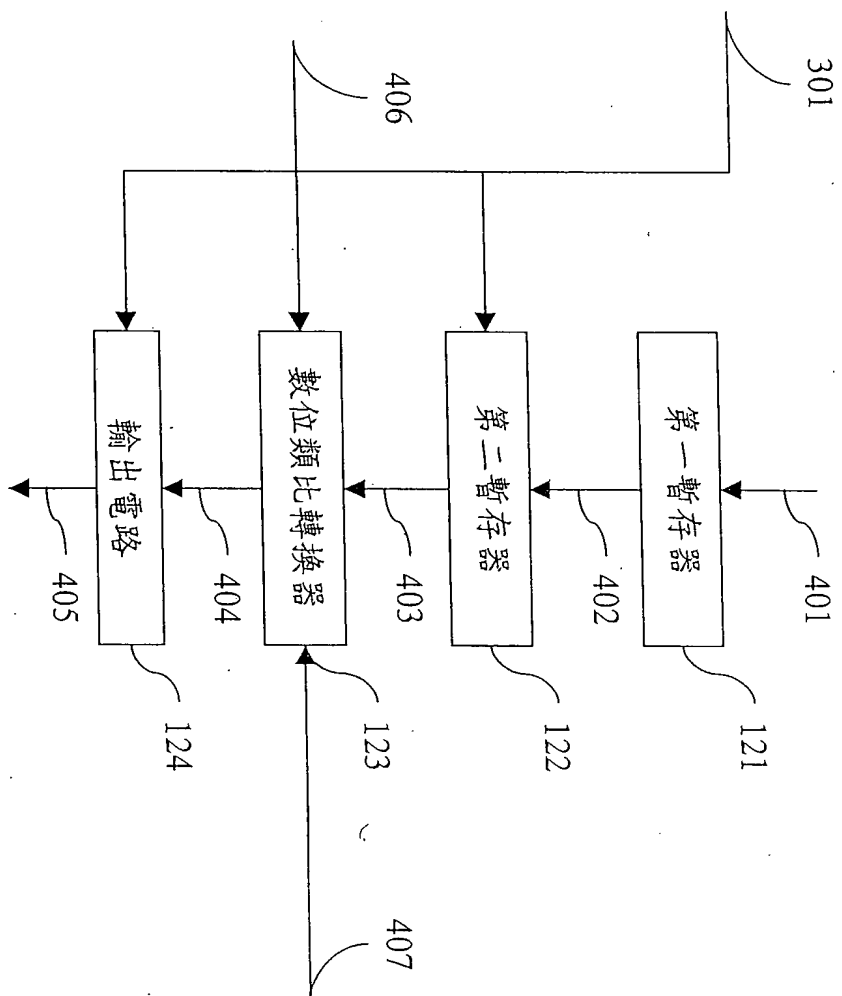




第1圖(先前技術)

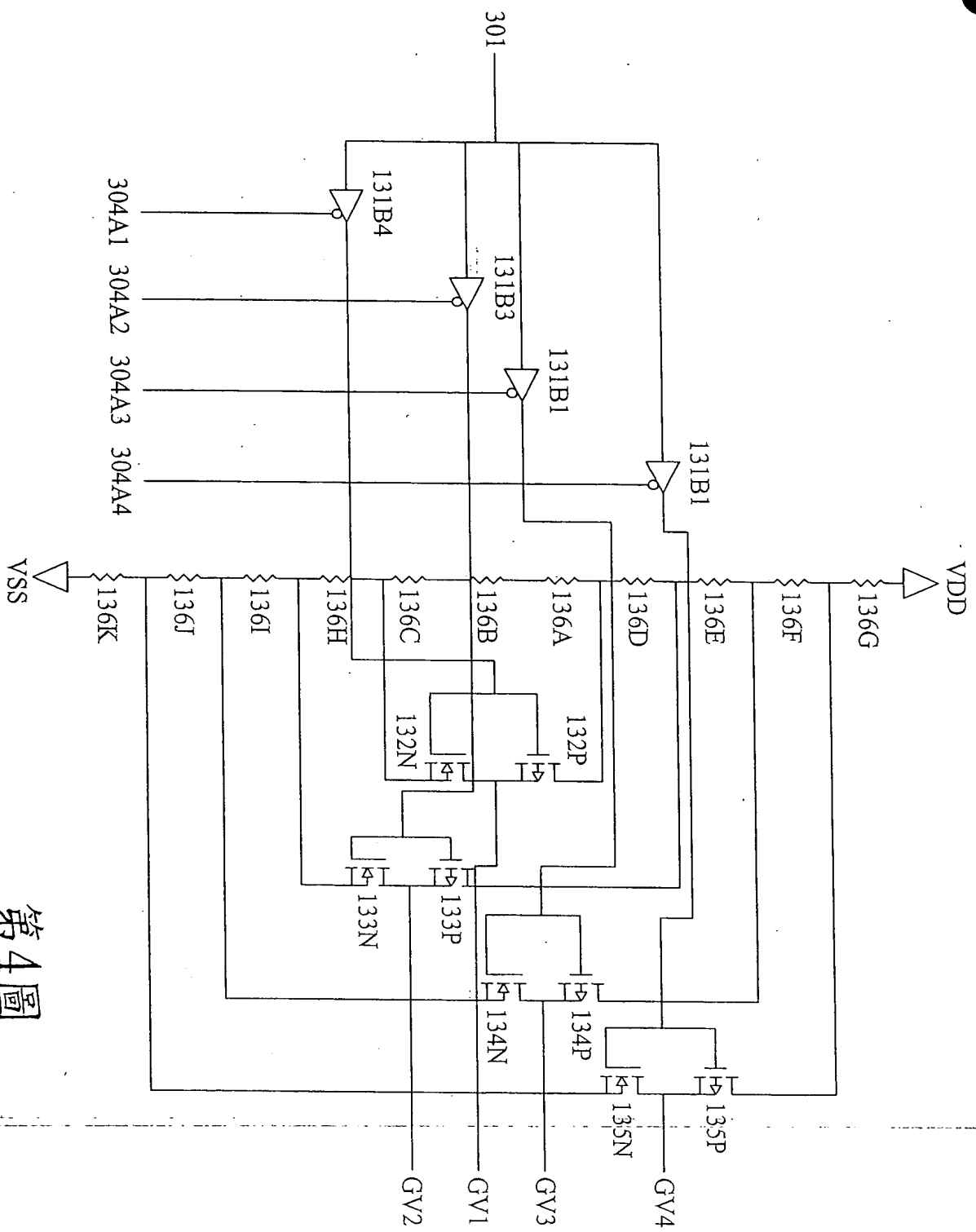


第2圖



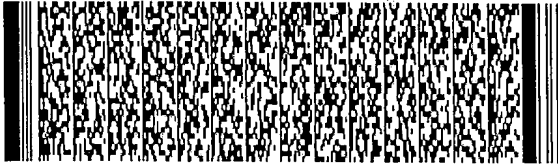
第3圖



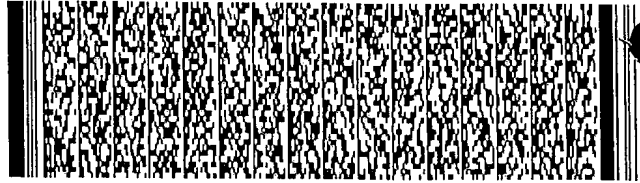


第4圖

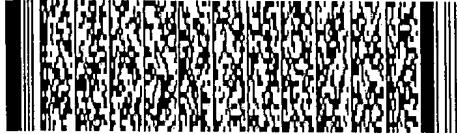
第 1/20 頁



第 2/20 頁



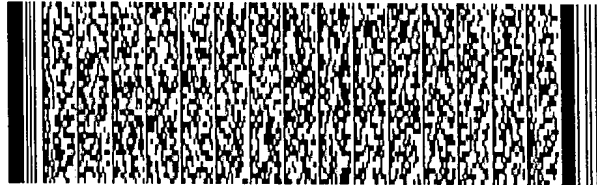
第 3/20 頁



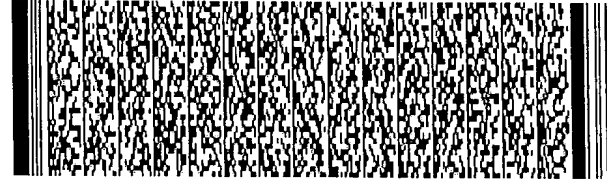
第 4/20 頁



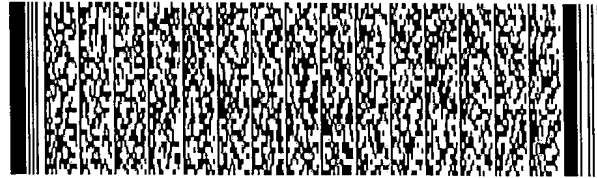
第 5/20 頁



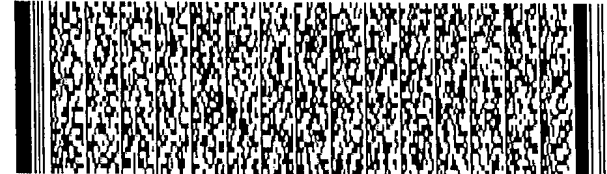
第 5/20 頁



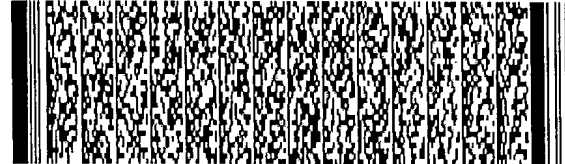
第 6/20 頁



第 6/20 頁



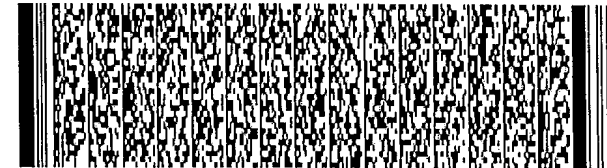
第 7/20 頁



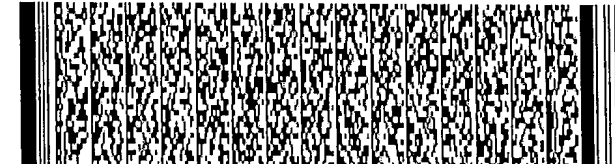
第 7/20 頁



第 8/20 頁



第 8/20 頁



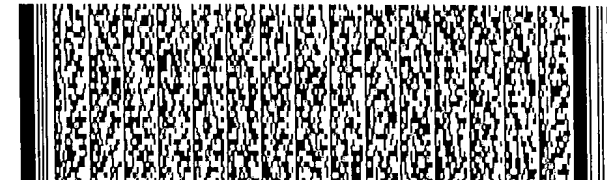
第 9/20 頁



第 9/20 頁



第 10/20 頁



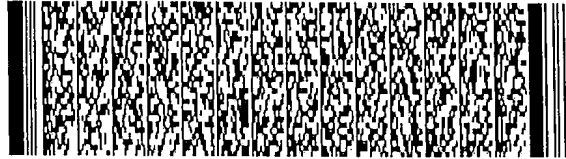
第 11/20 頁



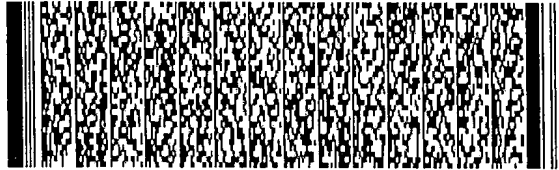
第 12/20 頁



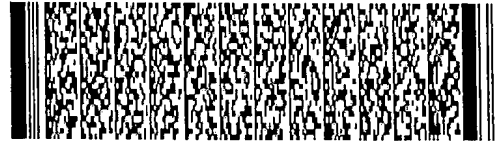
第 12/20 頁



第 13/20 頁



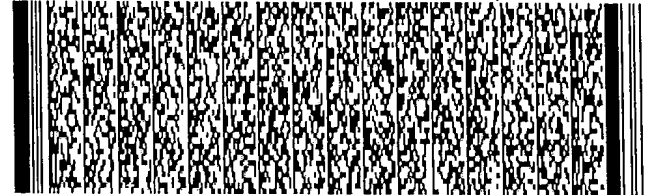
第 14/20 頁



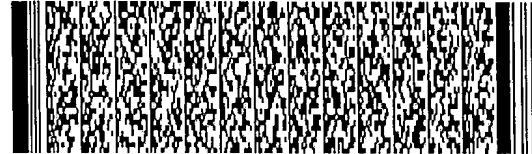
第 15/20 頁



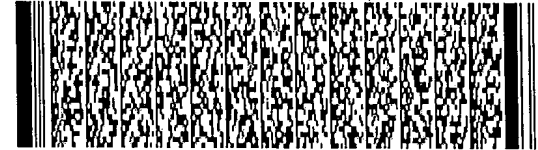
第 16/20 頁



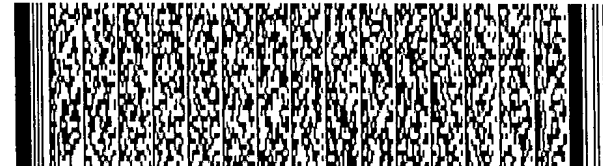
第 17/20 頁



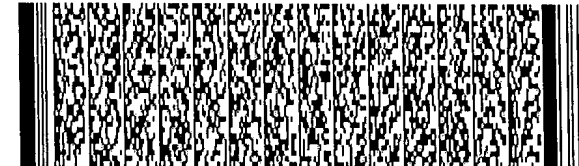
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

